



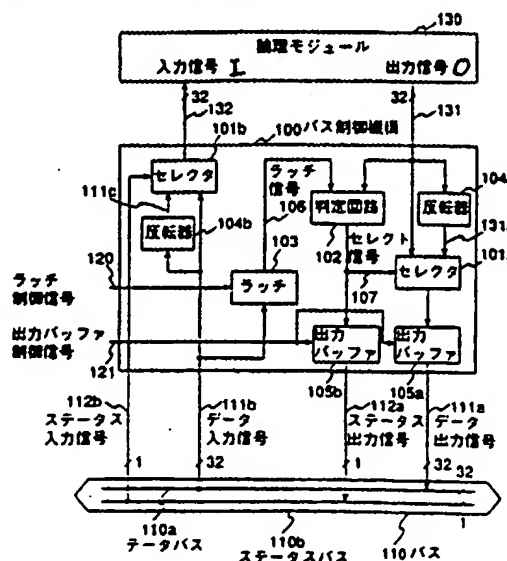
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 G06F 3/00, 13/38	A1	(11) 国際公開番号 WO97/11420 (43) 国際公開日 1997年3月27日(27.03.97)
(21) 国際出願番号 PCT/JP95/01845 (22) 国際出願日 1995年9月18日(18.09.95) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 島崎靖久(SHIMAZAKI, Yasuhisa)(JP/JP) 〒187 東京都小平市上水本町1丁目31番9-503号 Tokyo, (JP) 前島英雄(MAEJIMA, Hideo)(JP/JP) 〒316 茨城県日立市中成沢町2丁目26番2号 Ibaraki, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

(54) Title: BUS CONTROL METHOD, AND BUS CONTROL CIRCUIT AND DATA PROCESSOR USING THE BUS CONTROL METHOD

(54) 発明の名称 バス制御方法及びこれを用いたバス制御回路及びデータ処理装置

1 ... input signal
 0 ... output signal
 100 ... bus control mechanism
 101a, 101b ... selector
 104a, 104b ... inverter
 103 ... judgement circuit
 102 ... latch
 105a, 105b ... output buffer
 106 ... latch signal
 107 ... select signal
 110 ... bus
 110a ... data bus
 110b ... status bus
 111a ... data output signal
 111b ... data input signal
 112a ... status output signal
 112b ... status input signal
 120 ... latch control signal
 121 ... output buffer control signal
 130 ... logic module



(57) Abstract

An input/output signal control method for low power operation, and a bus control circuit and a data processor using this control method when a plurality of signals having the same change point are transferred to an address bus, a data bus, etc. As the construction for accomplishing this object, in a bus control circuit (100) for inputting a plurality of signals (131) having the same change point and outputting a plurality of signals (111a) having the same change point to a bus, the method includes a step of comprising a plurality of input

(57) 要約

アドレスバス、データバス等に同一の変化点を持つ複数信号を転送する際に、より確実に低消費電力を実現する入出力信号制御方法及びそれを用いたバス制御回路及びデータ処理装置を提供する。

そのための構成として、同一の変化点を持つ複数入力信号（131）を入力し、同一の変化点を持つ複数出力信号（111a）をバスに出力するバス制御回路（100）において、複数入力信号とバス上のデータとを比較する工程と、その比較結果に応じて上記複数入力信号又は上記複数入力信号を加工した信号を上記バスに出力する工程を具備する。

この方法によれば、出力先のバスに実際に存在するデータと出力信号との間の極性反転ビット数がわかるので、確実に低消費電力化が図れる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	SD	スーダン
AT	オーストリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
AZ	アゼルバイジャン	GB	ガボン	LV	ラトヴィア	SI	スロベニア
BB	バルバドス	GB	イギリス	MC	モナコ	SK	スロバキア共和国
BE	ベルギー	GE	グルジア	MD	モルドバ	SN	セネガル
BF	ブルキナ・ファソ	GH	ガーナ	MG	マダガスカル	SZ	スワジランド
BG	ブルガリア	GN	ギニア	MK	マケドニア旧ユーゴスラ	TD	チャド
BJ	ベナン	GR	ギリシャ	ML	マリ共和国	TG	トーゴ
BR	ブラジル	HU	ハンガリー	MN	モンゴル	TJ	タジキスタン
BY	ベラルーシ	IE	アイルランド	MR	モーリタニア	TM	トルクメニスタン
CA	カナダ	IS	アイスランド	MW	マラウイ	TR	トルコ
CF	中央アフリカ共和国	IT	イタリア	MX	メキシコ	TT	トリニダード・トバゴ
CG	コンゴ	JP	日本	NE	ニジェール	UA	ウクライナ
CH	スイス	KE	ケニア	NL	オランダ	UG	ウガンダ
CI	コート・ジボワール	KG	キルギスタン			US	米国

1

明 細 書

バス制御方法及びこれを用いたバス制御回路及びデータ処理装置

技術分野

本発明はデータバス、アドレスバス等の同時変化信号群を伝達する線を制御する方法に係り、特にマイクロプロセッサ、ゲートアレイ等の個々の集積回路又はそれら集積回路が互いにバスを介して接続されたデータ処理装置全体の消費電力を低減する方法に関する。

背景技術

近年、マイクロプロセッサに代表されるLSIは高機能化、高速化が進んでいる。そんな中、高機能化に伴う論理の大規模化、そして高速化に伴う動作周波数の向上により、LSIにおける消費電力が著しく増加するという問題が発生している。特にアドレスバス、データバスは、論理の大規模化に伴い負荷容量が著しく増加しているため、バス上のデータが頻繁に変化するような状況が発生すると、消費電力が増大するだけでなく電源線、GND線に与える影響も大きくなる。

バス上のデータ変化に伴うチャージ及びディスチャージによる消費電力に関して言えば、アドレスバス、データバスのビット数を減らし消費電力を下げる方法や、アドレスバス、データバスの電圧振幅を減少し消費電力を下げる方法が従来より採られてきた。

なお、低消費電力に着目はしていないものの、データバスへの出力信号の極性反転するビット数を減少して電源線、GND線に対するノイズの影響を低減する方法が、特開平6-161620号公報に開示されている。

発明の開示

さて、プロセッサの高速及び高信頼性のデータ転送を行う場合、上述のアドレスバス、データバスのビット数を減らす方法は一度に転送できるデータ量を著しく制限することになるため、高速データ転送の点で問題がある。

また、アドレスバス、データバスの電圧振幅を減少する方法は、データの転送が高速であり低消費電力である反面、ノイズに対して非常に弱くなるため、高信頼性に問題がある。

一方、特開平6-161620号公報に記載の発明は、低ノイズ化のみならず、バスのビット数を減らすことなく、かつ、バスの電圧振幅を減少することなく、バスのチャージ及びディスチャージにおける低消費電力を実現できることが発明者らの検討により明らかとなった。

そこで、上述の問題点を解決するために、特開平6-161620号公報に示された発明をプロセッサに適用することが発明者らによって検討された。この場合には、アドレス信号転送の際にも上記公報に記載の発明が適用できることが発明者らによって確認された。

ところが、上記公報では、ICの前出力信号と次出力信号との間の極性反転ビット数を判定しているため、複数の論理モジュールが一つのバスを共有しているようなシステムに対しては、十分な消費電力低減がなされないことが発明者らの検討により明らかとなった。例えば1サイクル前に他のモジュールがバスに対してアドレス若しくはデータを出力しているような場合には、実際のバス上のアドレス若しくはデータはICの前出力信号とは異なるため、バス上での極性反転ビット数を減少することができない。

そこで本発明の目的は、アドレスバス、データバス等に同一の変化点を持つ複数信号を転送する際に、より確実に低消費電力を実現する入出力信号制御方法及びそれを用いたバス制御回路及びデータ処理装置を提供することにある。

上記課題を解決するための手段は、本発明の一実施形態によれば、

同一の変化点を持つ複数入力信号（1 3 1）を入力し、同一の変化点を持つ複数出力信号（1 1 1 a）をバスに出力するバス制御回路（1 0 0）において、

上記複数入力信号と上記バス上のデータとを比較する工程と、その比較結果に応じて上記複数入力信号又は上記複数入力信号を加工した信号を上記バスに出力する工程を具備することを特徴とする方法である（第1図参照）。

この方法によれば、出力先のバスに実際に存在するデータと出力信号との間の極性反転ビット数がわかるので、確実に低消費電力化が図れる。

なお、この方法では、信号を加工する工程は比較する工程よりも先に行われる場合と、後に行われる場合と、ほぼ同時に行われる場合とがある。

先に行われる場合には、予め加工した信号が用意されるため、比較結果に基づき、高速にバスに信号が出力される。

後に行われる場合には、加工する労力が必要であるかどうか先にかかわるので、加工に要する消費電力が低減される。

同時に行われる場合には、高速及び低消費電力が実現される。

また、本発明の他の実施形態によれば、

同一の変化点を持つ複数入力信号（1 3 1）を入力し、同一の変化点を持つ複数出力信号（1 1 1 a）をバスに出力するバス制御回路（1 0

0)において、

上記複数入力信号を加工する加工手段(104a)と、

上記加工手段の出力信号と上記複数入力信号とを入力し、選択信号により上記加工手段の出力信号と上記複数入力信号との一方を選択出力する選択手段(101a)と、

上記加工手段の出力信号又は上記複数入力信号と上記バス上のデータとを比較し、その比較結果に応じて上記選択信号を上記選択手段に出力する判定手段(102)とを具備することを特徴とするものである(第1図参照)。

さらに、本発明の他の実施形態によれば、

同一の変化点を持つ複数入力信号(131)を入力し、同一の変化点を持つ複数出力信号(111a)をバスに出力するバス制御回路(100)において、

上記複数入力信号の特定のビットの位置を交換する加工手段(104a)と、

上記加工手段の出力信号と上記複数入力信号とを入力し、選択信号により上記加工手段の出力信号と上記複数入力信号との一方を選択出力する選択手段(101a)と、

上記加工手段の出力信号及び上記複数入力信号と上記バス上のデータとを比較し、その比較結果に応じて上記選択信号を上記選択手段に出力する判定手段(102)とを具備することを特徴とするものである(第1図参照)。

更に、本発明の好適な実施形態によれば、上記判定手段は上記複数入力信号(131)又は上記加工手段の出力信号とバス上のデータ(110a)との排他的論理和(202)をとり、排他的論理和出力での”1

”の数と”0”の数の多数決判定(201)を行うことを特徴とするものである(第1図、第2図参照)。

更に、本発明をデータ処理装置に適用した実施形態によれば、

第1のバス(710b)と、該第1のバス(710b)に接続された中央演算装置(701)及びメモリモジュール(704)と、

第2のバス(710c)と、該第2のバス(710c)に接続されたメモリチップ(720)と、

上記第1のバスと上記第2のバスとの間に設けられたバス制御回路(100f)とを具備し、

上記第1のバスと上記第2のバスとは、それぞれデータバスと該データバス上のデータのステータスを示すステータス信号を伝達するステータスバスとを有し、

上記バス制御回路は、上記第1のバスのデータバス上のデータを加工する第1の加工手段(反転器)と、

上記第1の加工手段の出力信号と上記第1のバスのデータバス上のデータとを入力し、選択信号により上記第1の加工手段の出力信号と上記第1のバスのデータバス上のデータとの一方を選択出力する第1の選択手段(セレクタ)と、

上記第1の加工手段の出力信号又は上記第1のバスのデータバス上のデータと上記第2のバスのデータバス上のデータとを比較し、その比較結果に応じて上記選択信号を上記第1の選択手段に出力する判定手段(判定回路)と、

上記第1のバスのステータスバス上のステータス信号を加工する第2の加工手段(反転器)と、

上記第2の加工手段の出力信号と上記第1のバスのステータスバス上

のステータス信号とを入力し、上記選択信号により上記第 2 の加工手段の出力信号と上記第 1 のバスのステータスバス上のステータス信号との一方を選択出力する第 2 の選択手段（セレクト）とを具備することを特徴とするものである（第 7 図及び第 8 図参照）。

図面の簡単な説明

第 1 図は、本発明の一実施例を示す L S I 回路構成のブロック図である。

第 2 図は、第 1 図における判定回路 1 0 2 の一具体例を示す L S I 回路構成のブロック図である。

第 3 図は、第 1 図に示す本発明の一実施例の動作を説明するための図である。

第 4 図は、第 1 図に示す本発明の一実施例の動作を説明するための図である。

第 5 図は、第 3 図の動作タイミングを示す図である。

第 6 図は、第 4 図の動作タイミングを示す図である。

第 7 図は、本発明を適用したマイクロプロセッサシステムの一実施例を示すブロック図である。

第 8 図は、第 7 図のバス制御機構 1 0 0 f の内部回路を示す図である。

第 9 図は、本発明を適用したマイクロプロセッサシステムの一実施例を示すブロック図である。

第 1 0 図は、本発明をダイナミックバスを備えたシステムに適用した場合の一実施例を示す L S I 回路構成のブロック図である。

第 1 1 図は、本発明の他の実施例を示す L S I 回路構成のブロック図である。

発明を実施するための最良の形態

以下、実施例により本発明をより詳細に説明する。

本発明の一実施例を第1図から第6図を用いて説明する。

第1図は本発明の一実施例を示すブロック図である。130はLSI回路により構成される論理モジュールであり、32ビットで構成される出力信号131を出力し、同じく32ビットで構成される入力信号132を入力する。100は本発明を用いたバス制御機構である。

104aは出力信号131を入力として各ビットの極性反転信号を出力する反転器、101aはセレクト信号107が"0"のとき出力信号131を出力し、"1"のとき反転器104aの出力信号131aを出力するセクタ、102は出力信号131とラッチ103の出力信号であるラッチ信号106の対応する各ビットを比較した結果、論理値の異なるビット数が17ビット以上の時、セレクト信号として"1"を出力し、それ以外の場合はセレクト信号として"0"を出力する判定回路である。105a、105bはそれぞれ、セクタ101aの出力信号、セレクト信号107を出力バッファ制御信号121にて制御されるタイミングでデータ出力信号111a、ステータス出力信号112aとして出力する出力バッファである。103はデータ入力信号111bをラッチ制御信号120により保持するラッチ、104bはデータ入力信号111bを入力として各ビットの極性反転信号を出力する反転器、101bはステータス入力信号112bが"0"のときデータ入力信号111bを出力し、"1"のとき反転器104bの出力信号111cを出力するセクタである。110はバスであり、32ビットのデータバス110a、1ビットのステータスバス110bより構成される。

判定回路102の一具体例を第2図に示す。同図において、200は

3 2 個の排他的論理和 2 0 2 より構成され、出力信号 1 3 1 とラッチ信号 1 0 6 の対応する各ビット同士で排他的論理和をとる一致判定回路、2 0 1 は一致判定回路 2 0 0 の各出力ビットのうち" 1 " となるビット数が 1 7 ビット以上で" 1 " を、1 6 ビット以下で" 0 " を出力する多数決回路であり、この多数決回路 2 0 1 からの出力がセレクト信号 1 0 7 に相当する。

次に、本実施例における全体の動作を第 3 図から第 6 図を用いて説明する。

初期状態として、メインメモリ 3 0 2 からデータバス 1 1 0 a に対してデータ" 0 0 0 0 0 0 0 0 h " が出力されているとする。

第 3 図の場合、C P U 3 0 0 からバス 1 1 0 a を介してキャッシュメモリ 3 0 1 にデータ" F F F F F F F F h " が送られようとしている。最初に、C P U 3 0 0 からのデータ出力動作に入る直前であり、かつデータバス 1 1 0 a 上のデータが有効である期間に立ち上がるよう決められているラッチ制御信号 1 2 0 が、第 5 図に示すタイミングで立ち上がると、その時点でデータバス 1 1 0 a 上にあるデータ" 0 0 0 0 0 0 0 0 h " がラッチ 1 0 3 に取り込まれる。すると判定回路 1 0 2 には、C P U 3 0 0 からの出力信号" F F F F F F F F h " とラッチ 1 0 3 内の信号" 0 0 0 0 0 0 0 0 h " が入力されるため、セレクト信号 1 0 7 としては" 1 " が出力される。一方、セクタ 1 0 1 a には C P U 3 0 0 からの出力信号" F F F F F F F F h " とその極性反転信号" 0 0 0 0 0 0 0 0 h " が入力されているが、セレクト信号 1 0 7 が" 1 " であるため極性反転信号" 0 0 0 0 0 0 0 0 h " 側が選択され出力される。その後出力バッファ制御信号が第 5 図に示すタイミングで立ち上がると、出力バッファ 1 0 5 a、1 0 5 b は、それぞれセクタ 1 0 1 a の出力、

セレクト信号107をデータバス110a、ステータスバス110bに対して出力する。この時、データバス110a上のデータを受け取るキャッシュメモリ301側のセクタ101bには"00000000h"とその極性反転信号"FFFFFFFFh"が入力されるが、ステータスバス110b上の信号が"1"であるため、極性反転信号"FFFFFFFFh"側が選択されキャッシュメモリ301に伝えられている。従って、CPUから出力したデータが、問題なくキャッシュメモリに送られていることになる。この時、データバス110aを観察すると、1サイクル前にメインメモリから出力されたデータと、たった今出力バッファ105aから出力されたデータとが同じ"00000000h"であるため、データバス110aの遷移は起こらないことがわかる。

次に第4図に示すように、CPU300からバス110aを介してキャッシュメモリ301にデータ"FFFFFF0000h"が送られる場合を考える。第3図の場合と同様に、ラッチ制御信号120が第6図に示すタイミングで立ち上がると、その時点でデータバス110a上にあるデータ"00000000h"がラッチ103に取り込まれる。判定回路102には、CPU300からの出力信号"FFFFFF0000h"とラッチ103内の信号"00000000h"が入力されるが、今回は両データの各ビットを比較した結果、論理値の異なるビット数が16ビットであるため、セレクト信号107としては"0"が出力される。従って、セクタ101aにおいては非反転側信号、つまりCPU300の出力信号"FFFFFF0000h"そのものが選択され出力される。その後出力バッファ制御信号が第6図に示すタイミングで立ち上がると、第3図の場合と同様にセクタ101aの出力信号、セレクト信号107が出力バッファ105a、105bを介してデータバス110aに出

力される。データバス110a上のデータを受け取るキャッシュメモリ301側では、セレクト101bにステータスバス110b上の信号"0"が与えられるため、データバス上の信号"FFFF0000h"がセレクト101bにおいて選択され、キャッシュメモリ301に伝えられる。この場合、データバス110aを観察すると、1サイクル前にメインメモリから出力されたデータが"00000000h"であり、たった今出力バッファ105aから出力されたデータが"FFFF0000h"であるため、データバス110aの遷移は16ビットだけ起こることがわかる。

以上説明した動作が、CPUとキャッシュメモリの間だけではなく、同一のバスを共有し、そのバスを介してデータのやり取りを行なう他のモジュール間の場合でも問題なく行なわれることは言うまでもない。

本実施例によれば、データバスの論理遷移数をデータバスの全ビット数の半分以下、つまり32ビットに対して16以下にすることができ、データバスの充放電が起こるビット数が16ビット以下になるため、データバスで消費される電力を従来の半分以下にすることができ、更に、電源線、GND線に対するノイズの影響を従来の半分におさえることができる。

また、本実施例で示されているように、ラッチ103が常にデータバスを監視し、現在バス上にある信号を保持していることから、1サイクル前に他のモジュールがデータバスに対してデータを出力している場合でも必ずデータバスの論理遷移数を16ビット以下にすることができる。

更に、本実施例では、バス幅が32ビットの場合について説明したが、他のビット数においても、第1図の各ブロックのビット数を増減した構成により同様の効果を期待することができる。

本実施例に示されているように、本発明はデータの転送効率を落とさないため、高速データ転送に関しても適用可能である。

なお、第1図では、信号を加工（反転）する反転器104aは判定回路102からのセレクト信号107が生成されるよりも先に信号を反転しているが、セレクト信号を反転器に入力することにより反転を開始することもできる。この場合には、加工する労力が必要であるかどうかは先にわかるので、加工に要する消費電力が低減される。

もちろん、第1図の回路では、予め加工した信号が用意されるため、比較結果（セレクト信号）に基づき、高速にバスに信号が出力される。

もう一つの方法として、セレクトを反転バッファと非反転バッファの並列接続として、セレクト信号により何れかのバッファを活性化させることが考えられる。この場合には、反転バッファが反転器の役目を果たすので、反転器104aは不要となる。そして、この場合には、セレクト信号によって反転信号・非反転信号のいずれも高速に出力できるとともに、何れかのバッファは非活性化状態なので低消費電力が実現される。

さらに、第1図では反転器を用いているが、複数入力信号の特定のビットの位置を交換する加工手段に代えてもよい。

この場合には、加工手段の出力信号及び上記複数入力信号の両方についてバス上のデータと何れの信号がより極性反転ビット数を少なくできるかを比較することになる。

次に、本発明をマイクロプロセッサシステム全体に適用した場合の一実施例を第7図を用いて説明する。

第7図において、2000はデータ処理装置を構成するマイクロプロセッサシステムであり、マイクロプロセッサ700、メモリチップ72

0、論理チップ721、バス710cからなる。各チップは本発明によるバス制御機構100f、100g、100hを介してバス710cを共有している。次にマイクロプロセッサ700は、CPU701、メモリモジュール704、論理モジュール705、バス710bからなり、各モジュールは本発明によるバス制御機構100c、100d、100eを介してバス710bを共有している。更にCPU701は、ALU702、レジスタ703、バス710aからなり、本発明によるバス制御機構100a、100bを介してバス710aを共有している。

ここで、問題なのが、バス710bとバス710cの間のデータ転送である。ここでのバス制御機構100fは第1図に示したものとは同一構成にはならない。

第8図はバス制御機構100fの内部回路を示す図である。ここでは、簡単のため、バス710bからバス710cへのデータ転送を行うための回路のみ示している。実際には、バス710cからバス710bへのデータ転送を行うための回路も全く同一の回路で構成されている。ここで特徴的なのは、ステータスバスからのステータス信号を反転器に通した信号とそのままの信号とを入力し、判定回路の出力信号（セレクト信号）によって、反転するかどうかを決めるセレクトがあることである。これにより、バス710bからバス710cにデータ転送が行われるとき、バス710b上のデータが反転信号の場合には、バス710bのステータス信号は“1”であるが、バス710cにデータを反転して転送した場合にバス710cのステータス信号は“0”になる。このように、第8図のバス制御機構を用いれば、バス間のデータ転送において、転送データの反転・非反転の情報を保持しながらも、低消費電力を実現できる。

以上の構成を持つことにより、マイクロプロセッサシステム2000内のすべてのバスに本発明を適用することができ、バスの論理遷移数がこれまでの半分以上になるため、バスにおける消費電力を従来の半分以上にすることができる。

更に、第9図に示すように、ステータスバス800をマイクロプロセッサシステム2000全体で共通にする実施例もまた可能である。

バスプリチャージ装置を備えたダイナミックバスシステムに本発明を適用した実施例を第10図に示す。第10図において、901は所定のタイミングでデータバス110aを電源電圧にプリチャージするバスプリチャージ装置、900は電源に接続され、判定回路102にデータ“FFFFFFFFh”を供給する信号線である。このように構成することにより第1図の場合と同様の効果を期待することができる。

次に、32ビットのデータを1バイトごとに分割して本発明を適用した場合の一実施例を、第11図を用いて説明する。第11図において、判定回路102aでは最初に出力信号131とラッチ103の出力信号であるラッチ信号106の対応する各ビットを1バイトごとの組、つまりビット31からビット24、ビット23からビット16、ビット15からビット8、ビット7からビット0それぞれに分割し比較する。そしてその結果、論理値の異なるビット数が5ビット以上の組からは、セレクト信号として“1”を出力し、それ以外の場合はセレクト信号として“0”を出力する。1バイトごとの組4組からそれぞれセレクト信号が出力されるため、セレクト信号107aは全体で4ビットの信号になる。それに対応して、セクタ101cは1バイトごとに出力信号131側を選択するか極性反転信号131a側を選択するかが制御できるように構成されている。110dは4ビットのステータスバスであり、ステー

タス出力信号 1 1 2 c を他のモジュールに伝える役割を果たす。セレクト 1 0 1 d は、ステータス入力信号 1 1 2 d に従い、データ入力信号 1 1 1 b あるいはその極性反転信号 1 1 1 c いずれかを 1 バイトごとに選択し出力する。以上のようにバス制御機構 1 0 0 b を構成することにより、第 1 図に示す実施例と同様の効果を期待することができる。

以上に詳述したごとく、本発明によれば、アドレスバス、データバス等同一の変化点を持つ複数信号の駆動時において、上記複数信号の論理遷移を低減することにより、消費電力を低減するとともに、電源線、GND 線に対するノイズの影響を低減し、更に高速データ転送に関しても適用可能な入出力信号制御方法を実現することが可能となる。

請 求 の 範 囲

1. 同一の変化点を持つ複数入力信号を入力し、同一の変化点を持つ複数出力信号をバスに出力するバス制御回路において、

上記複数入力信号と上記バス上のデータとを比較する工程と、その比較結果に応じて上記複数入力信号又は上記複数入力信号を加工した信号を上記バスに出力する工程を具備することを特徴とする入出力信号制御方法。

2. 請求の範囲第1項に記載の入出力信号制御方法において、

上記信号を加工する工程は上記比較する工程よりも先に行われることを特徴とする入出力信号制御方法。

3. 請求の範囲第1項に記載の入出力信号制御方法において、

上記信号を加工する工程は上記比較する工程よりも後に行われることを特徴とする入出力信号制御方法。

4. 請求の範囲第1項に記載の入出力信号制御方法において、

上記信号を加工する工程は上記比較する工程とほぼ同時に行われることを特徴とする入出力信号制御方法。

5. 同一の変化点を持つ複数入力信号を入力し、同一の変化点を持つ複数出力信号をバスに出力するバス制御回路において、

上記複数入力信号を加工する加工手段と、

上記加工手段の出力信号と上記複数入力信号とを入力し、選択信号により上記加工手段の出力信号と上記複数入力信号との一方を選択出力する選択手段と、

上記加工手段の出力信号又は上記複数入力信号と上記バス上のデータとを比較し、その比較結果に応じて上記選択信号を上記選択手段に出力する判定手段とを具備することを特徴とするバス制御回路。

6. 請求の範囲第5項に記載のバス制御回路において、

上記判定手段は上記複数入力信号又は上記加工手段の出力信号とバス上のデータとの排他的論理和をとり、排他的論理和出力での"1"の数と"0"の数の多数決判定を行うことを特徴とするバス制御回路。

7. 同一の変化点を持つ複数入力信号を入力し、同一の変化点を持つ複数出力信号をバスに出力するバス制御回路において、

上記複数入力信号の特定のビットの位置を交換する加工手段と、

上記加工手段の出力信号と上記複数入力信号とを入力し、選択信号により上記加工手段の出力信号と上記複数入力信号との一方を選択出力する選択手段と、

上記加工手段の出力信号及び上記複数入力信号と上記バス上のデータとを比較し、その比較結果に応じて上記選択信号を上記選択手段に出力する判定手段とを具備することを特徴とするバス制御回路。

8. 請求の範囲第7項に記載のバス制御回路において、

上記判定手段は上記複数入力信号及び上記加工手段の出力信号とバス上のデータとの排他的論理和をとり、排他的論理和出力での"1"の数と"0"の数の多数決判定を行うことを特徴とするバス制御回路。

9. 第1のバスと、該第1のバスに接続された中央演算装置及びメモリモジュールと、

第2のバスと、該第2のバスに接続されたメモリチップと、

上記第1のバスと上記第2のバスとの間に設けられたバス制御回路とを具備し、

上記第1のバスと上記第2のバスとは、それぞれデータバスと該データバス上のデータのステータスを示すステータス信号を伝達するステータスバスとを有し、

上記バス制御回路は、上記第 1 のバスのデータバス上のデータを加工する第 1 の加工手段と、

上記第 1 の加工手段の出力信号と上記第 1 のバスのデータバス上のデータとを入力し、選択信号により上記第 1 の加工手段の出力信号と上記第 1 のバスのデータバス上のデータとの一方を選択出力する第 1 の選択手段と、

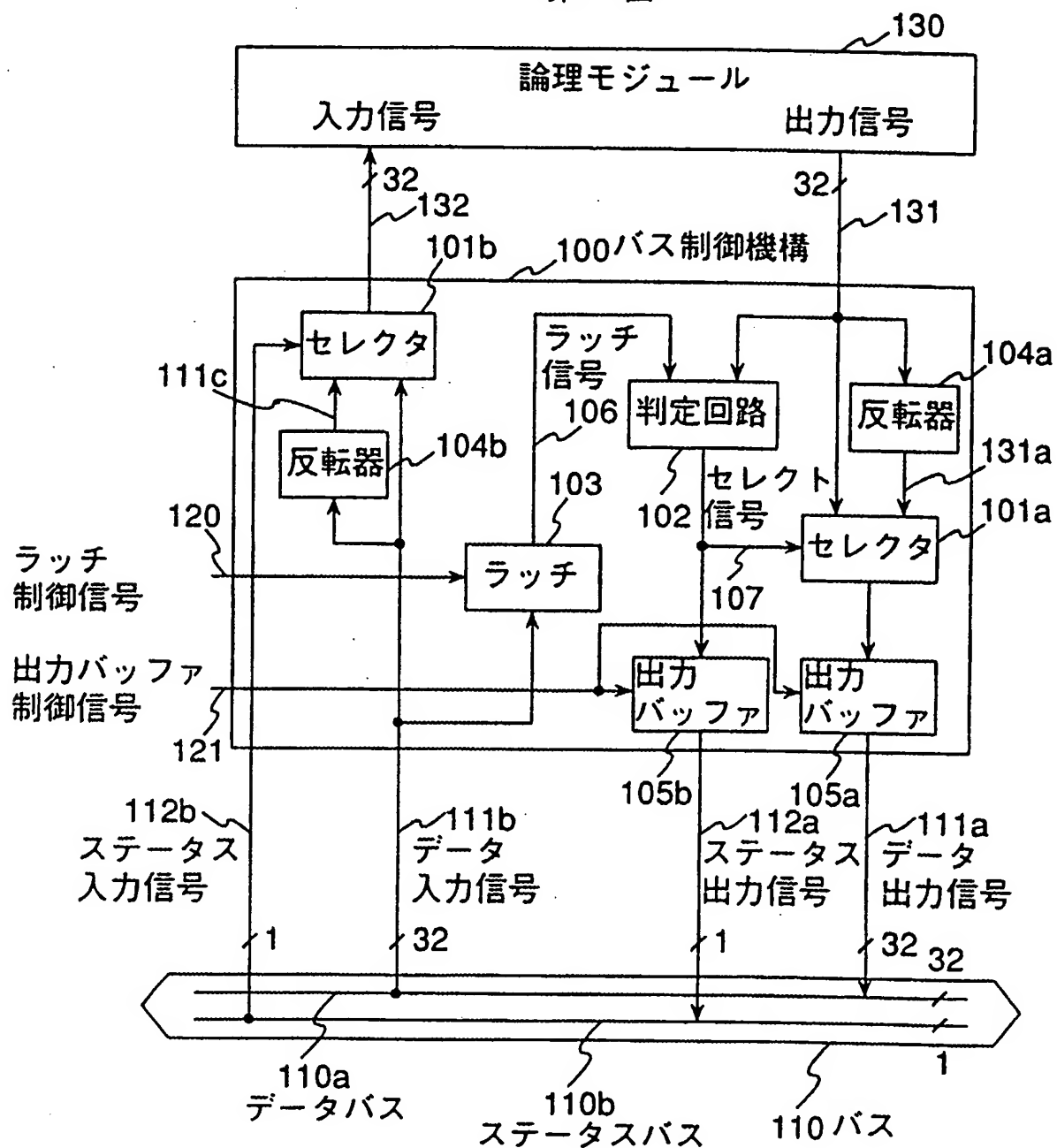
上記第 1 の加工手段の出力信号又は上記第 1 のバスのデータバス上のデータと上記第 2 のバスのデータバス上のデータとを比較し、その比較結果に応じて上記選択信号を上記第 1 の選択手段に出力する判定手段と、

上記第 1 のバスのステータスバス上のステータス信号を加工する第 2 の加工手段と、

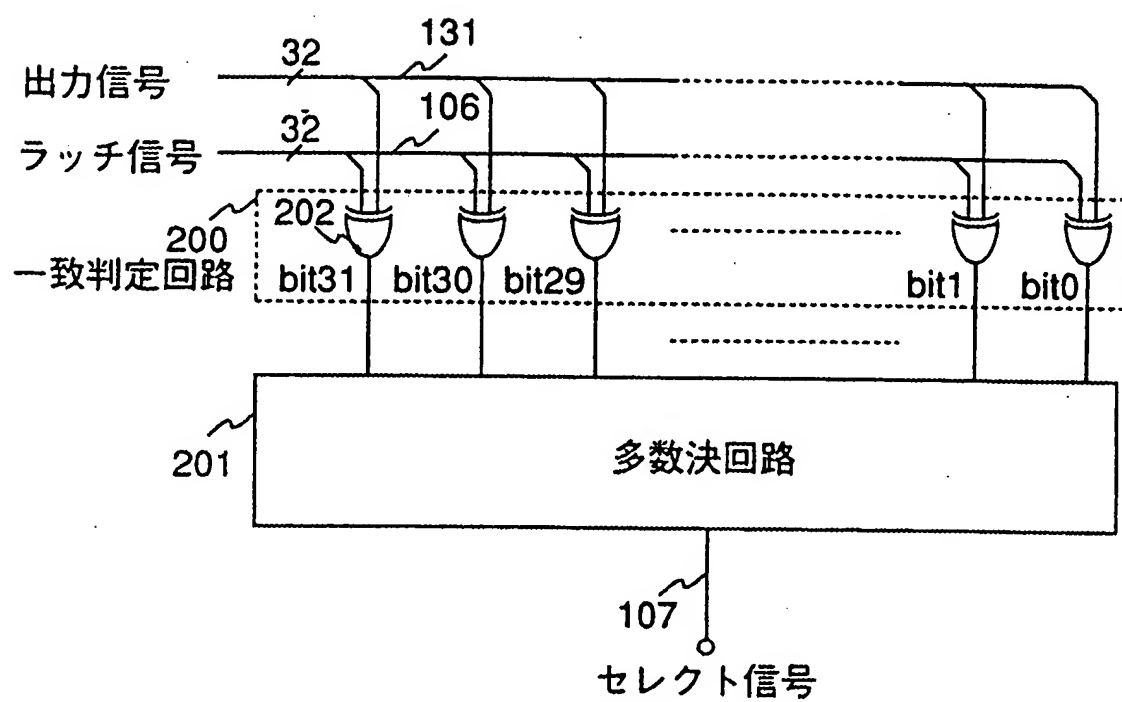
上記第 2 の加工手段の出力信号と上記第 1 のバスのステータスバス上のステータス信号とを入力し、上記選択信号により上記第 2 の加工手段の出力信号と上記第 1 のバスのステータスバス上のステータス信号との一方を選択出力する第 2 の選択手段とを具備することを特徴とするデータ処理装置。

1/11

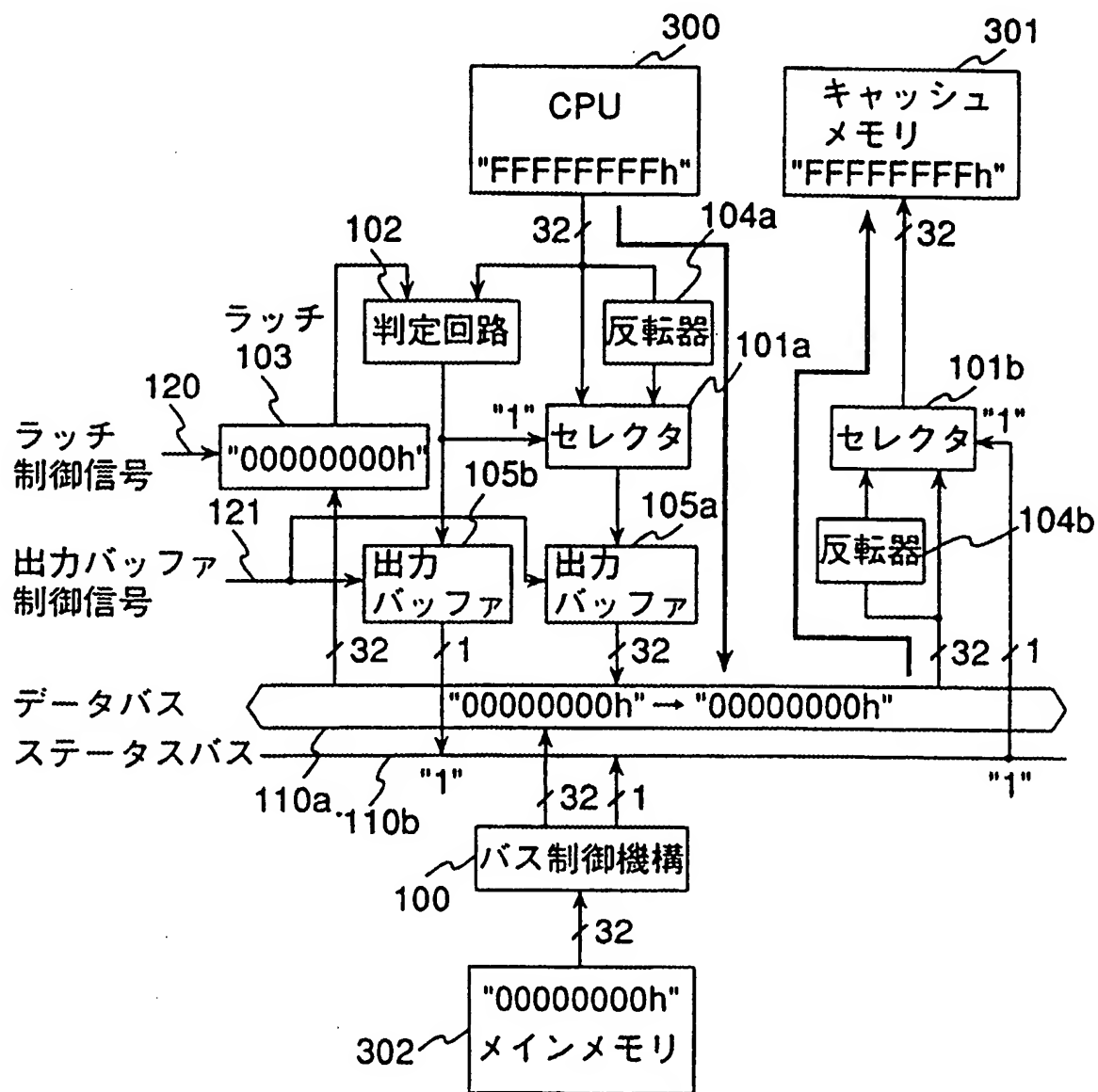
第 1 図



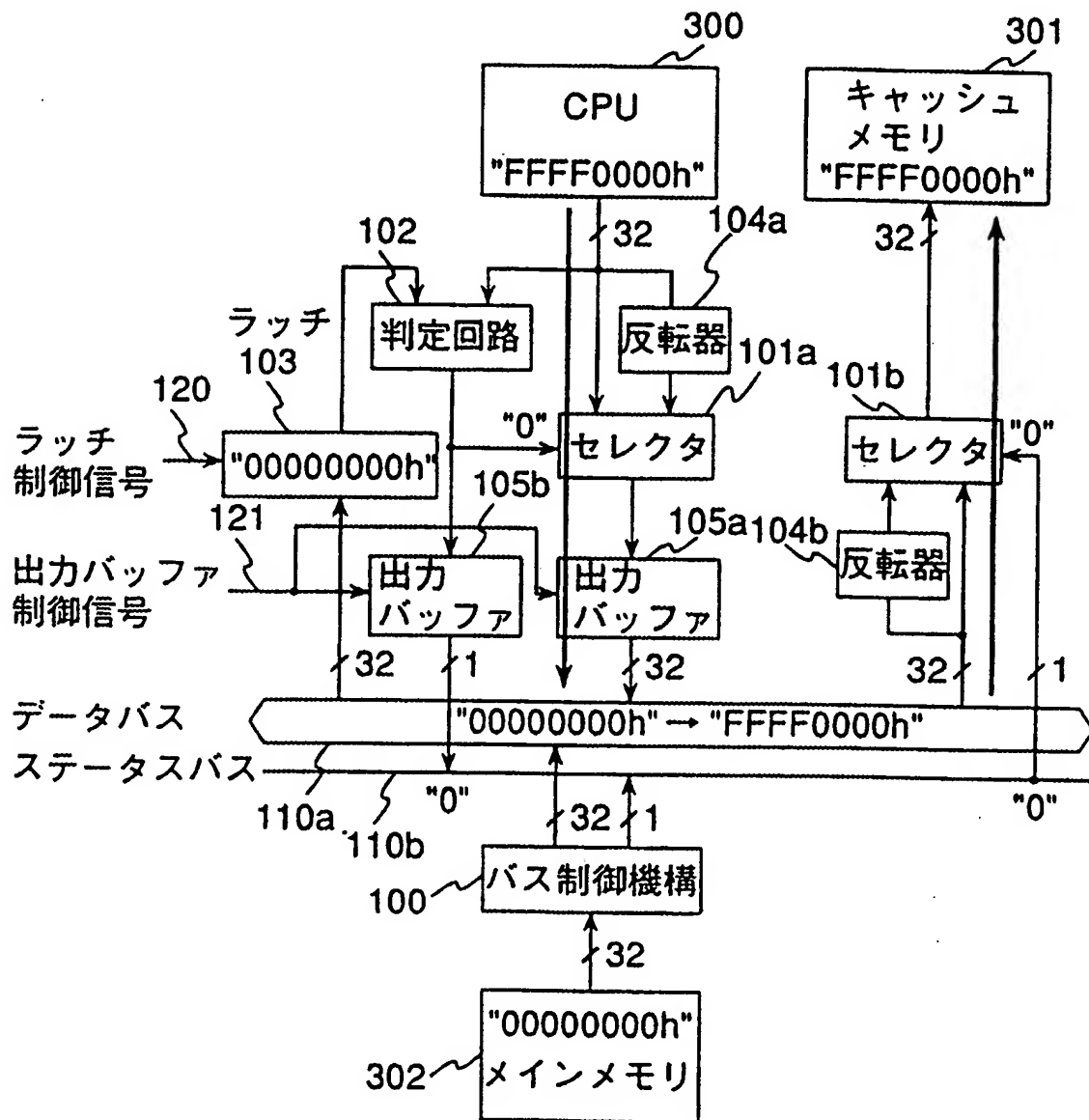
第 2 図



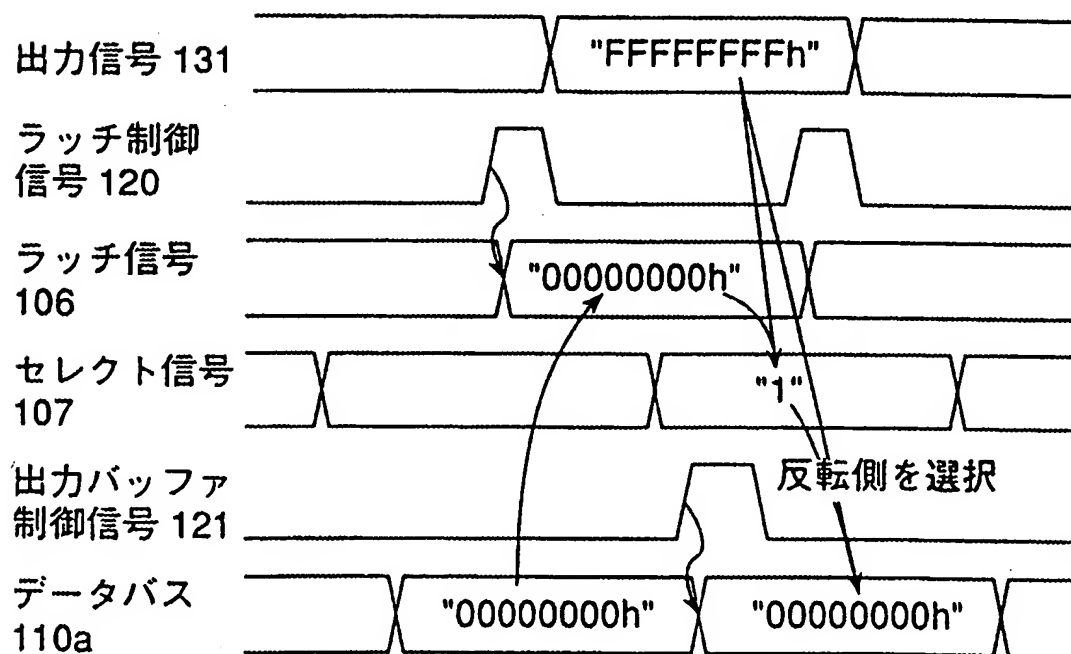
第 3 図



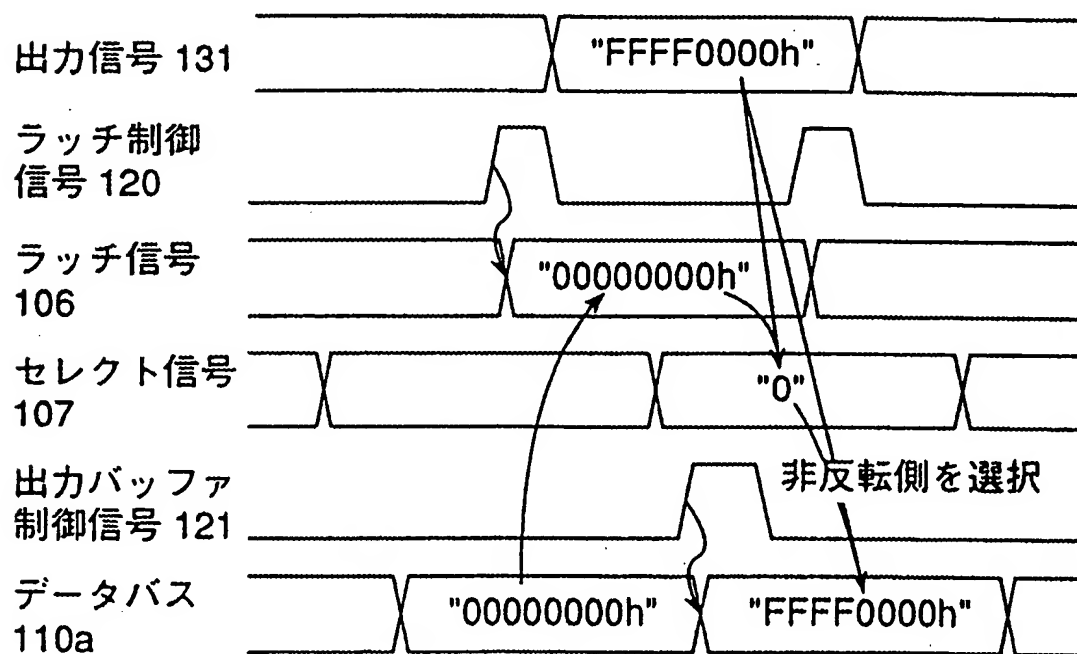
第 4 図



第 5 図



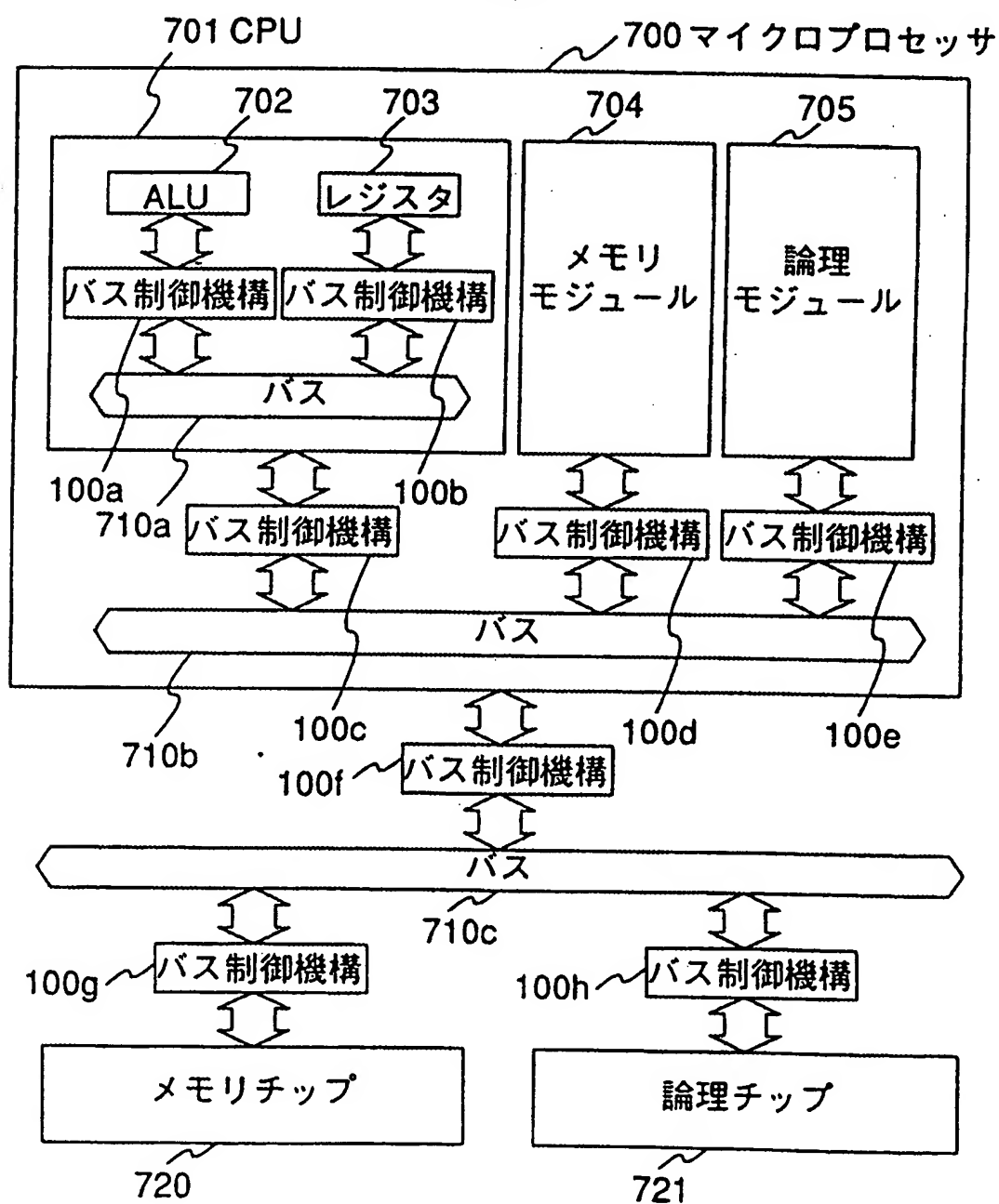
第 6 図



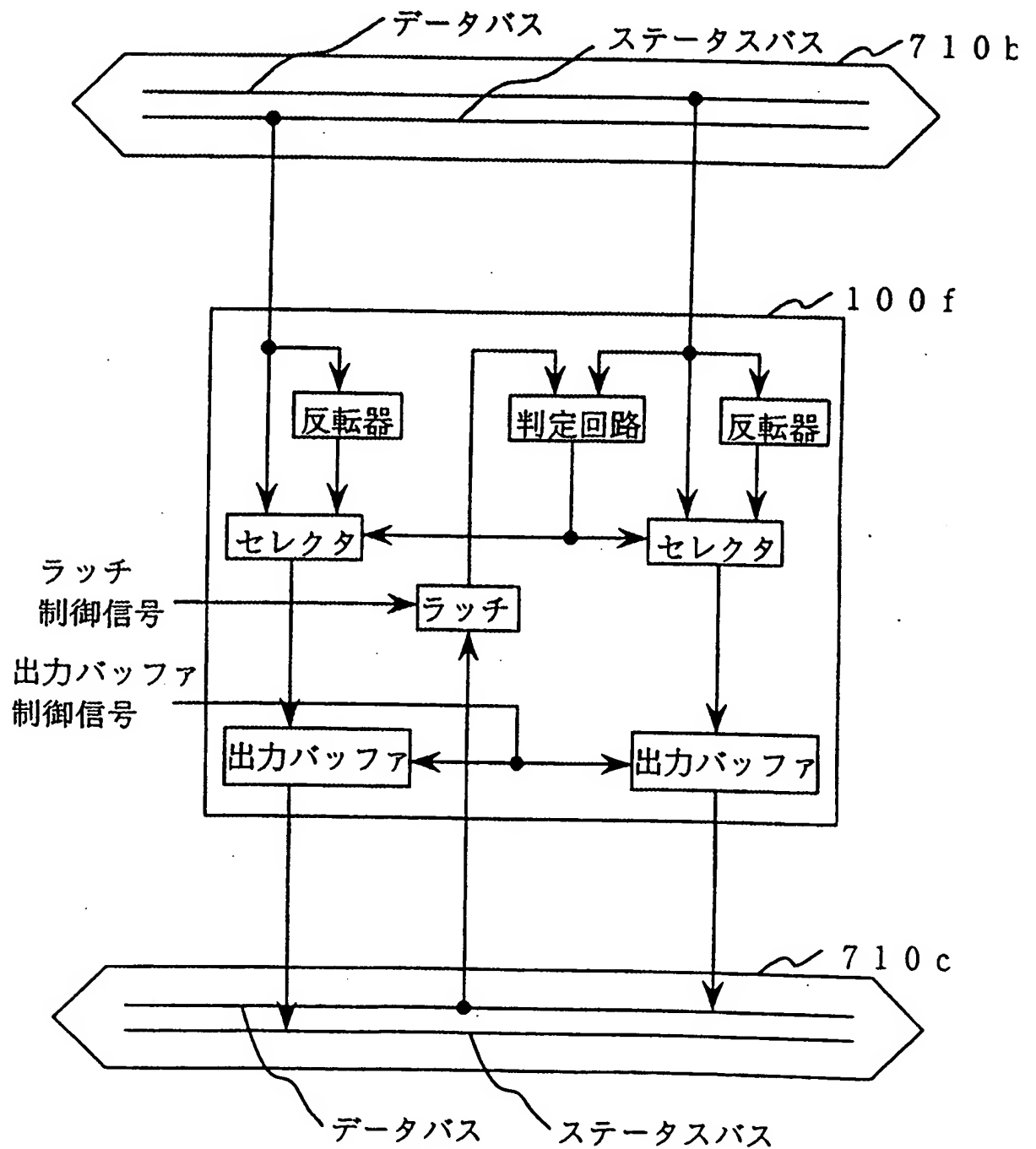
7/11

第 7 図

2000 マイクロプロセッサシステム

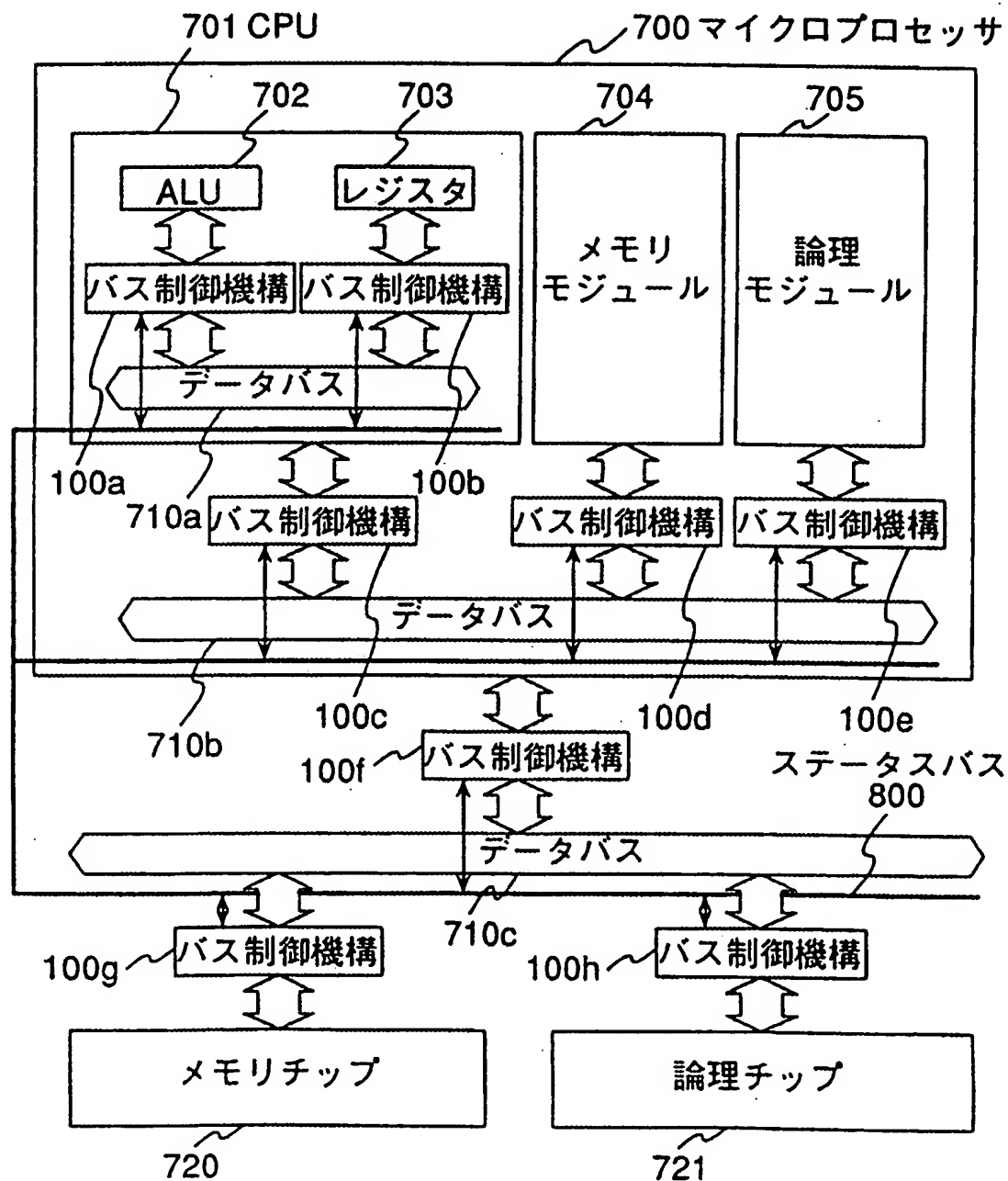


第 8 図

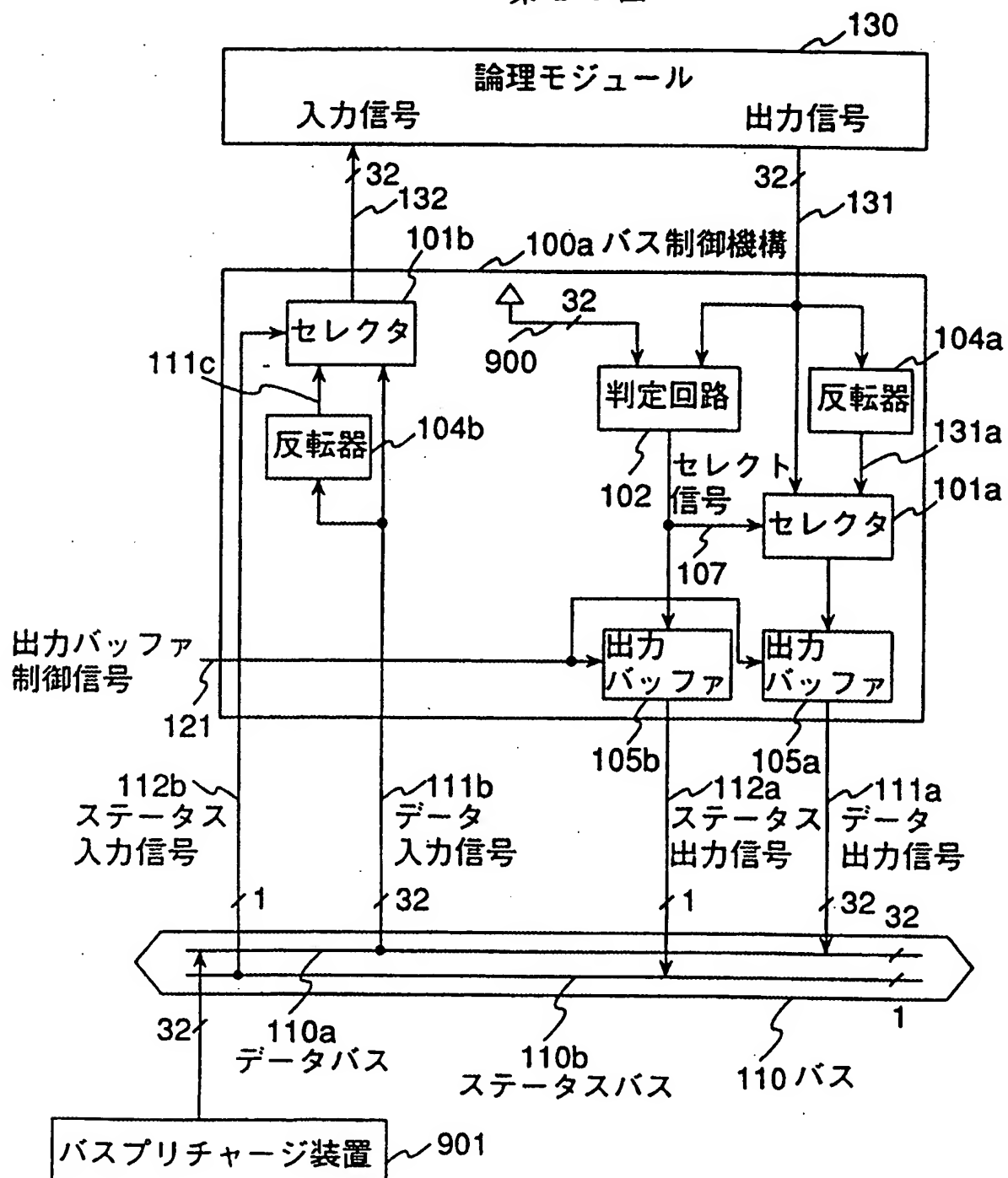


第 9 図

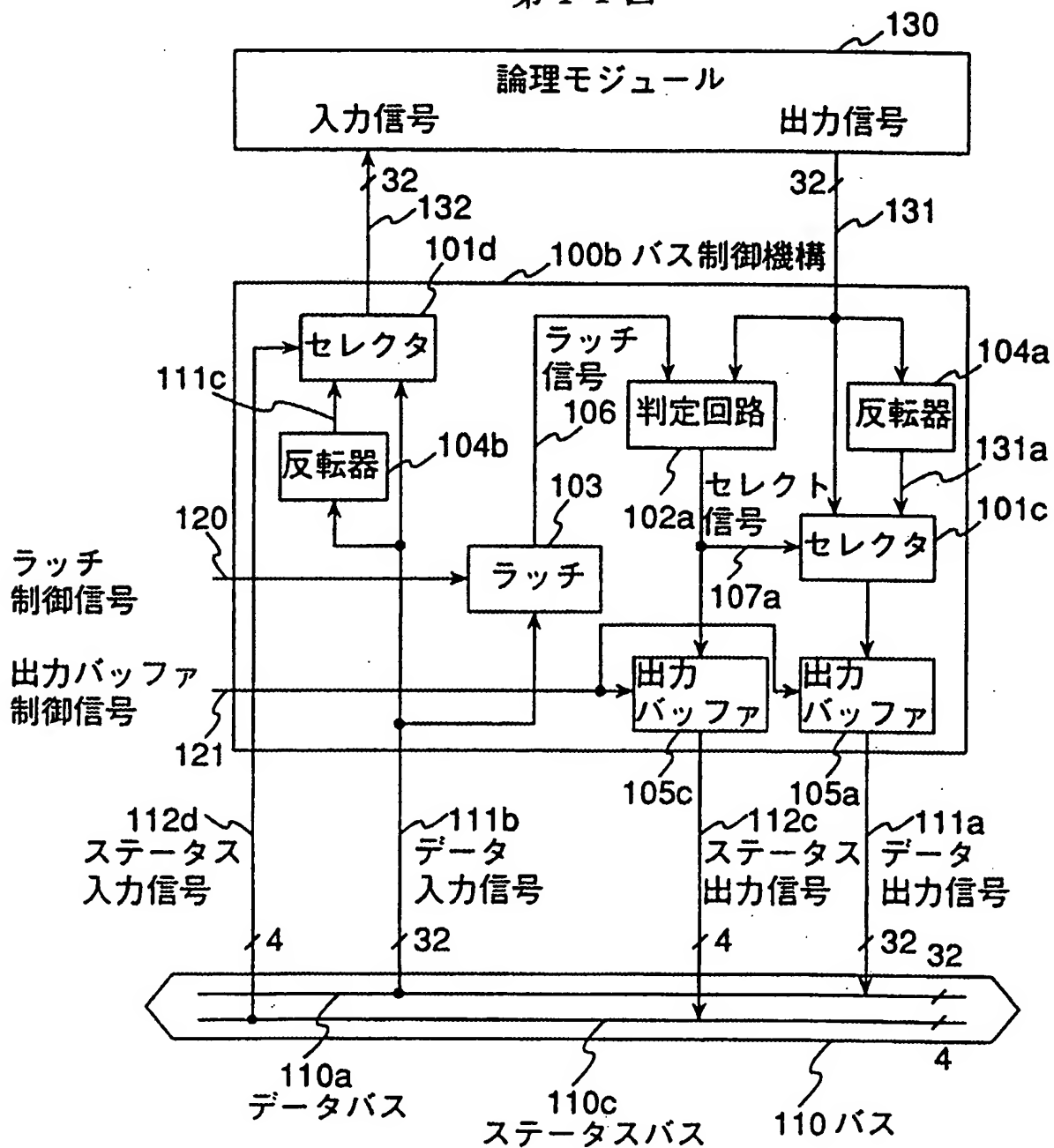
2000 マイクロプロセッサシステム



第 10 図



第 11 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/01845

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F3/00, G06F13/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F3/00, G06F13/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1995

Kokai Jitsuyo Shinan Koho 1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-20973, A (Sony Corp.), January 24, 1995 (24. 01. 95), Fig. 1 (Family: none)	1-4, 5, 6, 7, 8, 9
A	JP, 5-333979, A (Mitsubishi Electric Corp.), December 17, 1993 (17. 12. 93), Fig. 1 (Family: none)	1-4, 5, 6, 7, 8, 9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

November 22, 1995 (22. 11. 95)

Date of mailing of the international search report

December 19, 1995 (19. 12. 95)

Name and mailing address of the ISA/

Authorized officer

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁸ G06F3/00, G06F13/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ G06F3/00, G06F13/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年
日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 7-20973, A (ソニー株式会社), 24. 1月. 1995 (24. 01. 95), 第1図 (ファミリーなし)	1-4, 5, 6, 7, 8, 9
A	JP, 5-333979, A (三菱電機株式会社), 17. 12月. 1993 (17. 12. 93), 第1図 (ファミリーなし)	1-4, 5, 6, 7, 8, 9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日
若しくは他の特別な理由を確立するために引用する文献
(理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日
の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と
矛盾するものではなく、発明の原理又は理論の理解のため
に引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規
性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文
献との、当業者にとって自明である組合せによって進歩性
がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

22. 11. 95

国際調査報告の発送日

19.12.95

名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀江 義隆

5 E 9 1 7 2

電話番号 03-3581-1101 内線

3523